

# 先进先出存储器芯片 CH424

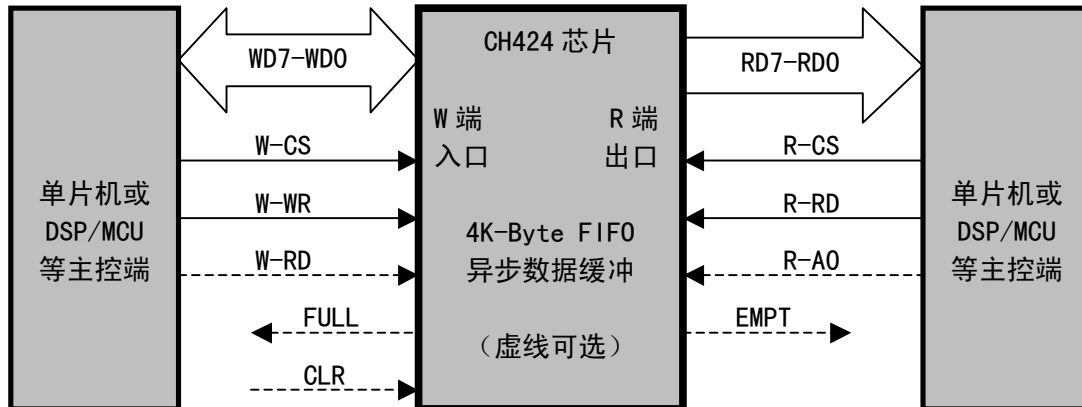
手册

版本: 1A

<http://wch.cn>

## 1、概述

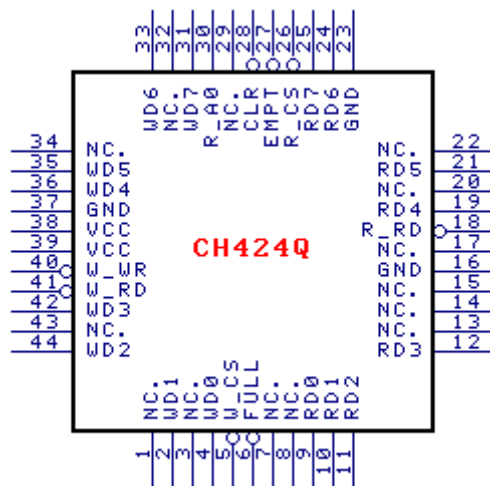
CH424 是 4K 字节容量的 FIFO 存储器芯片。CH424 具有入端 W 和出端 R 两个 8 位被动并行端口，CH424 通过 8 位数据线和读、写、片选等控制线挂接到单片机/DSP/MCU/MPU 等控制器的系统总线上，适用于连接单片机与单片机，单片机与 DSP/MCU 等。下图为其一般应用框图。



## 2、特点

- 4K x 8 位 FIFO。
- 8 位并行接口：
  - W 端/入口：8 位双向三态数据总线 (WD7~WD0)，片选 (W\_CS)，写 (W\_WR)，读 (W\_RD)；
  - R 端/出口：8 位三态数据总线 (RD7~RD0)，片选 (R\_CS)，读 (R\_RD)，地址 (R\_A0)。
- 可以随时查询 FIFO 已用空间和剩余空间的字节数，便于成块读写。
- 提供 FIFO 满状态线 FULL 和 FIFO 空状态线 EMPT，低电平有效。
- 支持 5V 电源电压、3.3V 电源电压以及 3V 电源电压。
- 采用 QFP-44 无铅封装，兼容 RoHS。

## 3、封装



封装形式	塑体宽度	引脚间距		封装说明	订货型号
QFP-44	10*10mm	0.8mm	31.5mil	标准 QFP44 脚贴片	CH424Q

## 4、引脚

引脚号	引脚名称	类型	引脚说明
38, 39	VCC	电源	正电源输入端, 需要外接 0.1uF 电源退耦电容
16, 23, 37	GND	电源	公共接地端
4, 2, 44, 42, 36, 35, 33, 31	WDO~WD7	双向三态	W 端的 8 位双向数据总线, 内置弱上拉电阻
5	W_CS	输入	W 端的片选输入, 内置弱上拉电阻, 低电平有效
40	W_WR	输入	W 端的写选通输入, 内置弱上拉电阻, 低电平有效
41	W_RD	输入	W 端的读选通输入, 内置弱上拉电阻, 低电平有效
9, 10, 11, 12, 19, 21, 24, 25	RDO~RD7	三态输出	R 端的 8 位数据总线
26	R_CS	输入	R 端的片选输入, 内置弱上拉电阻, 低电平有效
18	R_RD	输入	R 端的读选通输入, 内置弱上拉电阻, 低电平有效
30	R_AO	输入	R 端的地址输入, 内置弱上拉电阻, 高电平=读 FIFO 数据, 低电平=读 FIFO 状态
6	FULL	输出	FIFO 满状态输出, 低电平有效
27	EMPT	输出	FIFO 空状态输出, 低电平有效
28	CLR	输入	复位输入, 内置弱上拉电阻, 低电平有效
1, 3, 7, 8, 13, 14, 15, 17, 20, 22, 29, 32, 34, 43	NC.	空脚	禁止连接

## 5、功能说明

CH424 芯片通过 8 位被动并行接口可以很方便地挂接到各种单片机、DSP、MCU 的系统总线上, 并且可以与多个外围器件共存。CH424 芯片的 W\_CS 和 R\_CS 片选引脚可以由地址译码电路驱动, 用于当单片机具有多个外围器件时进行设备选择。

CH424 具有入端 W 和出端 R 两个 8 位被动并行端口, CH424 支持两端同时操作。

在入口 W 端, 外部单片机随时可以通过 8 位并行接口查询 FIFO 状态, 并在 FIFO 有剩余空间时将数据写入 CH424 的 FIFO 中。下表为 W 端并口操作真值表。

W_CS	W_WR	W_RD	WD7~WDO	对 CH424 的实际操作
1	X	X	X/Z	未选中 CH424, 不做任何操作
0	1	1	X/Z	选中, 但无操作
0	0	1	输入	向 FIFO 中写入数据
0	1	0	输出	读出当前 FIFO 剩余空间, 所剩空间字节数
0	0	0	X/Z	非法状态, 禁止使用

在出口 R 端, 外部单片机随时可以通过 8 位并行接口查询 FIFO 状态, 并在 FIFO 中有数据时将数据按顺序读出。下表为 R 端并口操作真值表。

R_CS	R_RD	R_AO	RD7~RDO	对 CH424 的实际操作
1	X	X	Z	未选中 CH424, 不做任何操作
0	1	X	Z	选中, 但无操作
0	0	1	输出	从 FIFO 中读出数据
0	0	0	输出	读出当前 FIFO 已用空间, 所存数据字节数

FIFO 用于通过异步缓冲数据的方式实现 R 端对 W 端的数据同步, 例如, 在 W 端零碎写入, 从 R 端批量读取, 或者在 W 端批量写入, 从 R 端零碎读出。

先进先出是指：在 W 端较先被写入的数据，在 R 端将较先被读出，较后写入的数据将较后被读出，R 端读出的数据将完全保持从 W 端写入的先后顺序。

CH424 的 FIFO 存储器容量为 4096 字节，所能存储数据的长度范围是 0000H~1000H。外部单片机在对 CH424 的 FIFO 进行读写之前，应该先查询 FIFO 的状态，即 FIFO 的已用空间或者剩余空间。

在 W 端，查询到的是当前 FIFO 的剩余空间；在 R 端，查询到的是当前 FIFO 已用空间。以下统称为当前 FIFO 可用长度（字节数）。

FIFO 可用长度为 13 位二进制数，外部单片机至少需要执行两次读 FIFO 状态操作并进行组合才能得到当前 FIFO 可用长度。如果读 FIFO 状态的返回数据的位 7（对应于 WD7 或 RD7 引脚）为 0，那么返回数据的位 6~位 0 为 FIFO 可用长度的位 6~位 0；如果读 FIFO 状态的返回数据的位 7 为 1，那么返回数据的位 5~位 0 为 FIFO 可用长度的位 12~位 7；将两次结果中的位 12~位 0 组合后，可以得到当前 FIFO 可用长度。

CH424 芯片内置了电源上电复位电路，同时支持从 CLR 引脚输入外部复位以清空 FIFO 计数。

## 6、参数

### 6.1. 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

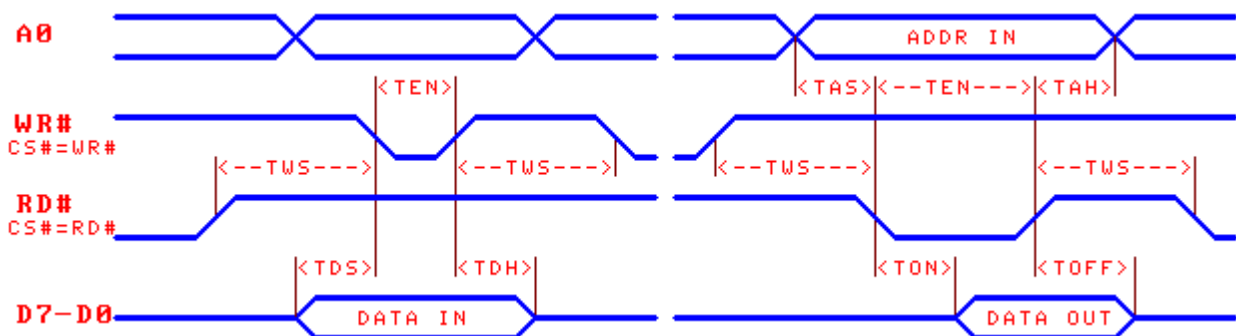
名称	参数说明	最小值	最大值	单位	
TA	工作时的环境温度	VCC=5V 或者 VCC=3.3V	-40	85	°C
		VCC=3V	-20	70	°C
TS	储存时的环境温度	-55	125	°C	
VCC	电源电压（VCC 接电源，GND 接地）	-0.5	6.0	V	
VIO	输入或者输出引脚上的电压	-0.5	VCC+0.5	V	

### 6.2. 电气参数（测试条件：TA=25°C，VCC=5V）

名称	参数说明	最小值	典型值	最大值	单位
VCC	电源电压	3.0	5	5.3	V
ICC	静态电源电流	0.2	1	3	mA
VIL	低电平输入电压	-0.5		0.7	V
VIH	高电平输入电压	2.0		VCC+0.5	V
VOL	低电平输出电压（4mA 吸入电流）			0.5	V
VOH	高电平输出电压（4mA 输出电流）	VCC-0.5			V
IUP	内置弱上拉电阻的输入端的输入电流	1	5	20	uA
VR	电源上电复位的电压门限	2.4	2.7	3.0	V

### 6.3. 并口时序（测试条件：TA=25°C，VCC=5V，括号中参数适用于 VCC=3.3V）

(WR#是指 W\_CS 信号有效并且 W\_WR 信号有效，RD#是指 R/W\_CS 信号有效并且 R/W\_RD 信号有效)



名称	参数说明	最小值	典型值	最大值	单位
TEN	有效的读选通 RD#或者写选通 WR#的脉冲宽度	30 (40)			nS
TWS	有效选通脉冲之间的间隔时间 (复原时间)	50 (90)			nS
TAS	读选通 RD#有效前的地址 R_A0 建立时间	0			nS
TAH	读选通 RD#无效后的地址 R_A0 保持时间	0			nS
TDS	写选通 WR#有效前的数据 WD0~WD7 建立时间	0			nS
TDH	写选通 WR#无效后的数据 WD0~WD7 保持时间	0			nS
TON	读选通 RD#有效到数据输出有效	2 (4)	18 (25)	25 (35)	nS
TOFF	读选通 RD#无效到数据输出无效	2 (4)	22 (30)	30 (40)	nS

## 7、应用

如果不需要查询 FIFO 的可用长度状态 (W 端是剩余空间、R 端是已用空间), 那么在 W 端不必连接 W\_RD 引脚, 在 R 端不必连接 R\_A0 引脚。

如果不需要查询 FIFO 的满状态和空状态, 那么不必连接 FULL 引脚和 EMPT 引脚。

