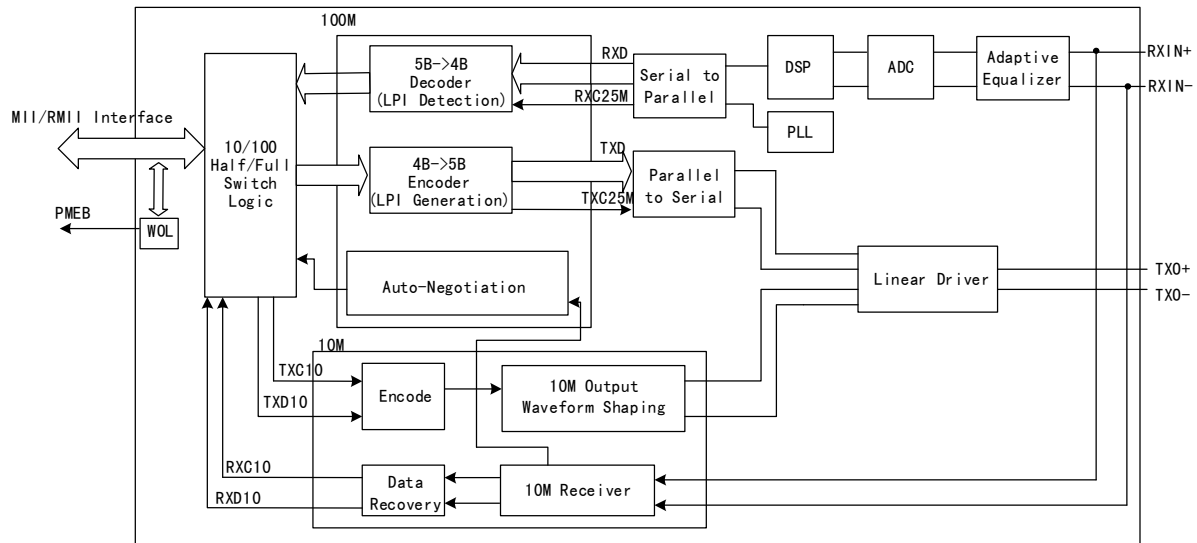


1、概述

CH182 是一款支持 Auto-MDIX 的工业级 10/100M 以太网 PHY 收发器。CH182 内部包括物理编码子层 (PCS)、物理介质接入层 (PMA)、双绞线物理介质相关子层 (TP-PMD)、10BASE-TX 编码器/解码器、双绞线介质连接单元 (TPMAU)、MII 和 RMII 接口等以太网 Transceiver 功能所需的模块。

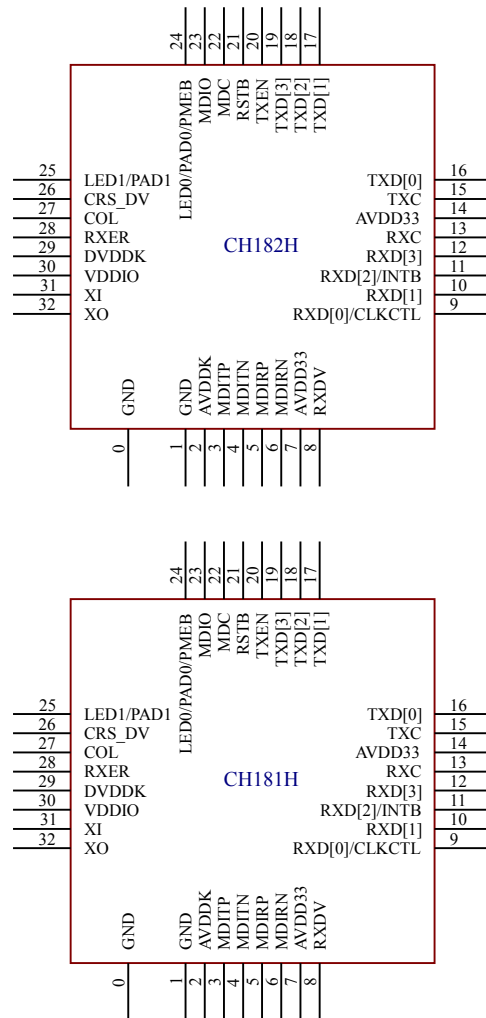
下图为 CH182 的框图。



2、特点

- 基于 DSP 算法实现的低功耗以太网物理层收发器 PHYceiver。
- 支持待机模式。
- 支持 Auto-MDIX 交换 TX/RX，自动识别正负信号线。
- 支持 10BASE-T 和 100BASE-TX 及自动协商。
- 支持 MII 和 RMII 两种接口模式。
- 支持全双工和半双工操作。
- 支持 UTP CAT5E、CAT6 双绞线，支持 120 米传输距离。
- 内置 LDO，支持独立的 I/O 接口电源以适用不同电压的处理器或 MCU。
- 内置 50 Ω 阻抗匹配电阻，内置 25MHz 晶体振荡器所需电容，外围电路精简。
- 可选支持外部 50MHz 时钟输入。
- 支持 WOL 网络唤醒。
- 支持中断功能。
- 支持两种网络状态 LED。
- 提供 QFN32 封装。

3、封装



封装形式	尺寸	引脚间距		封装说明	订货型号
QFN32-5X5	5.0*5.0mm	0.50mm	19.7mil	四边无引线 32 脚	CH182H
QFN32-5X5	5.0*5.0mm	0.50mm	19.7mil	四边无引线 32 脚	CH181H

注：除了特别标注的地方，其它 CH182 内容均适用于 CH181。

更多小体积或引脚兼容的封装形式请参考 CH183DS1.PDF。

4、引脚

181H 引脚号	182H 引脚号	引脚 名称	类型	引脚说明
3	3	MDITP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输出； 10BASE-T/100BASE-TX MDIX 模式下的差分输入。
4	4	MDITN		
5	5	MDIRP	I/O	10BASE-T/100BASE-TX MDI 模式下的差分输入； 10BASE-T/100BASE-TX MDIX 模式下的差分输出。
6	6	MDIRN		
7	7	AVDD33	P	3.3V 主电源输入，建议 1uF 对地电容贴近芯片放置。 或者 0.1uF~4.7uF，支持 10uF 但需并联 0.1uF。
14	14	AVDD33	P	3.3V 电源输入，建议 0.1uF 对地电容。
30	30	VDDIO	P	I/O 接口的 3.3V 或 2.5V 电源输入，外接 0.1uF 对地电容。
2	2	AVDDK	P	外接 1uF 对地电容贴近芯片放置。
29	29	DVDDK	P	外接 0.1uF (0.1uF~1uF) 对地电容贴近芯片放置。
0	0	GND	P	公共接地端。
1	1	GND	P	可选的公共接地端，建议连接。
31	31	XI	I	晶振输入，需外接 25MHz 晶体一端， 或外部 25MHz 时钟输入。
32	32	XO	IO	晶振反相输出，需外接 25MHz 晶体另一端。 或在 XI 接 GND 时，XO 用于输入外部 25MHz 或 50MHz 时钟。
21	21	RSTB	I, PU	复位输入，低电平有效。
8	8	RXDV	LI, 0, PD	接收数据有效。 当 RXD[3:0] 接收数据时，该引脚输出高电平； 当接收完成时被拉低；在 RXC 的上升沿有效。 上电复位期间 PHY 检测该引脚配置 MAC 接口模式： 默认由内部下拉电阻置低电平 = MII 接口模式； 可选外部 4.7KΩ 上拉电阻 = RMI 接口模式。
9	9	RXD[0] /CLKCTL	LI, 0, PD	接收数据位。 由 PHY 驱动，向 MAC 提供并行的接收数据。 上电期间 PHY 检测 RXD[0] 引脚配置 RMI 模式 TXC 方向： 默认由内部下拉电阻置低电平 = TXC 输出时钟； 可选外部 4.7KΩ 上拉电阻 = TXC 输入时钟。
10	10	RXD[1]	0, PD	上电期间 PHY 检测 RXD[2] 引脚配置 LEDO 引脚功能： (LED1 不受影响，仍可以设置用于 LINK/ACT) 默认由内部下拉电阻置低电平 = LED 功能； 可选外部 4.7KΩ 上拉电阻 = WOL 功能，LEDO 引脚作为 PMEB。
11	11	RXD[2] /INTB	LI, 0, PD	在 RMI 模式下，RXD[2] 引脚作为中断输出 INTB。
12	12	RXD[3]	0, PD	
13	13	RXC	0, PD	输出接收时钟。 该引脚提供用于 RXD[3:0] 和 RXDV 信号的连续工作时钟。 RXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。
26	26	CRS_DV	0, PD	载波检测/接收数据有效。 如果接收媒介不处于空闲状态，则输出高电平。
27	27	COL	0, PD	当检测到碰撞时，COL 输出高电平。
28	28	RXER	0, PD	接收错误指示。
15	15	TXC /REFCLK	IO, PD	MII 模式输出发送时钟，RMI 模式输出或输入参考时钟。 在 MII 模式下： 该引脚提供用于 TXD[3:0] 和 TXEN 信号的连续工作时钟。 TXC 在 100Mbps 和 10Mbps 模式下分别是 25MHz 和 2.5MHz。

181H 引脚号	182H 引脚号	引脚 名称	类型	引脚说明																				
				在 RMI1 模式下： 该引脚用于输出或者输入 50MHz 参考时钟 REFCLK， 方向由 RXD[3]/CLKCTL 引脚或页 7 寄存器 16 决定。																				
16	16	TXD[0]	I, PD	发送数据位。 由 MAC 驱动，向 PHY 提供并行的发送数据。 当 TXEN 使能时，TXD[0:3]数据有效。																				
17	17	TXD[1]																						
18	18	TXD[2]																						
19	19	TXD[3]																						
20	20	TXEN	I, PD	发送使能。																				
22	22	MDC	I, PU	SMI 管理接口的时钟输入。 该引脚输入与 MDIO 同步的串行时钟， 内置上拉电阻防止引脚浮空。																				
23	23	MDIO	I/O, PU	SMI 管理接口的数据输入和输出。 该引脚用于输入或输出管理信息的双向串行数据。																				
24	24	PMEB	O, OD	WOL 电源管理事件输出，低电平有效。 如果接收到魔法包或唤醒帧，则输出低电平。																				
24	24	LED0 /PADO /PMEB /INTB	LI, O, PU	PHY 的 SMI 管理接口的地址和自定义 LED 设置。 默认 LED 引脚为 LED 功能： PHY 地址由 PAD1 和 PADO 选择：00000~00011，默认 01； 传统 LED 功能选择，默认 LED_SEL 为 11： <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>LED_SEL</th> <th>00</th> <th>01</th> <th>10</th> <th>11</th> </tr> </thead> <tbody> <tr> <td>LED0</td> <td>ACT_{ALL}</td> <td>LINK_{ALL} /ACT_{ALL}</td> <td>LINK₁₀ /ACT_{ALL}</td> <td>LINK₁₀ /ACT₁₀</td> </tr> <tr> <td>LED1</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀</td> <td>LINK₁₀₀ /ACT₁₀₀</td> </tr> <tr> <td>LED2</td> <td>保留</td> <td>保留</td> <td>保留</td> <td>保留</td> </tr> </tbody> </table>	LED_SEL	00	01	10	11	LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀	LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀	LED2	保留	保留	保留	保留
LED_SEL	00	01	10		11																			
LED0	ACT _{ALL}	LINK _{ALL} /ACT _{ALL}	LINK ₁₀ /ACT _{ALL}	LINK ₁₀ /ACT ₁₀																				
LED1	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀	LINK ₁₀₀ /ACT ₁₀₀																				
LED2	保留	保留	保留	保留																				
25	25	LED1 /PAD1	LI, O, PD																					

注：CH181H LED 闪烁判断信号为以太网载波信号。

注：I = 输入； O = 输出； I/O = 输入/输出； P = 电源；

OD = 开漏输出； PD = 上电复位内部拉低； PU = 上电复位内部拉高；

LI = 上电期间检测引脚状态并锁存输入用于功能配置。

5、寄存器描述

表 5-1 PHY 寄存器描述

寄存器名称	地址	默认值
Control register	0x00	3100h
Status register	0x01	7849h
PHY Identifier	0x02/0x03	7311h/9011h
Auto-Negotiation Advertisement	0x04	01e1h
Auto-Negotiation Link Partner Ability	0x05	0000h
Auto-Negotiation Expansion	0x06	0004h

注：1. 上述寄存器请参考 IEEE 802.3 协议和《CH182DS2》手册；
2. 扩展寄存器请参考《CH182DS2》手册。

6、功能说明

6.1 MII 和管理接口

6.1.1 数据传输

媒体独立接口 MII 提供 PHY 和 MAC 层之间的标准接口。MI I 在 25MHz 或 2.5MHz 频率下工作，分别支持 100Mbps、10Mbps 的发送和接收功能。

发送：

MAC 根据 PHY 提供的发送时钟信号 TXC，发出 TXEN 信号，并将数据转成 4 位并行通过 TXD[3:0] 传递给 PHY。在 TXEN 使能期间，PHY 将由 TXC 对 TXD[3:0] 进行采样。

接收：

PHY 提供接收时钟信号 RXC，发出 RXDV 信号，并将接收到的数据转成 4 位并行通过 RXD[3:0] 发送给 MAC。CRS_DV 和 COL 信号用于碰撞检测和处理。MAC 根据 RXC 对 RXD[3:0] 进行采样。

6.1.2 串行管理接口 SMI

MAC 层设备可以使用 MDC/MDIO 管理接口来控制 and 配置 PHY 设备，通过配置 PHY 地址可以控制多个不同的 PHY 芯片。在 MDC/MDIO 管理接口上传输的帧结构如下表所示。

表 6-1 管理帧格式表

	管理帧字段							
	前导符	起始符	操作符	PHYAD	REGAD	TA	数据	空闲位
读	1...1	01	10	AAAAA	RRRRR	Z0	DDDDDDDDDDDDDDDD	Z
写	1...1	01	01	AAAAA	RRRRR	10	DDDDDDDDDDDDDDDD	Z

表 6-2 串行管理帧说明表

名称	描述
前导符	MAC 在 MDIO 上发送 32 个连续的 1 及 32 个 MDC 时钟信号，用于 PHY 同步。
起始符	帧的起始符定义为 01。
操作符	操作码。读：10；写：01。
PHYAD	PHY 地址，宽度 5 位，高 2 位总是 0。
REGAD	寄存器地址，宽度 5 位。
TA	2 位转向符，用于避免读操作时发生冲突。 读操作时，在 TA 的 2 位时间内，MAC 控制器保持 MDIO 的高阻状态，PHY 设备则先保持 1 位的高阻状态，在第 2 位时输出 0 信号。 写操作时，在 TA 的这 2 位时间内，MAC 控制器驱动 MDIO 输出 10 信号，而 PHY 则保持高阻状态。
数据	16 位数据域。
空闲位	信号处于高阻状态，由 PHY 的上拉电阻保证 MDIO 线处于上拉高电平。

图 6-1 读周期图

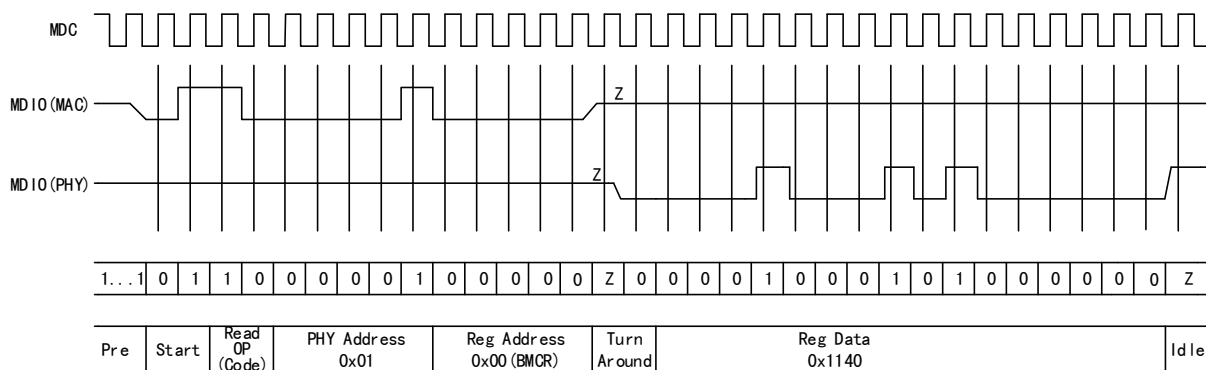
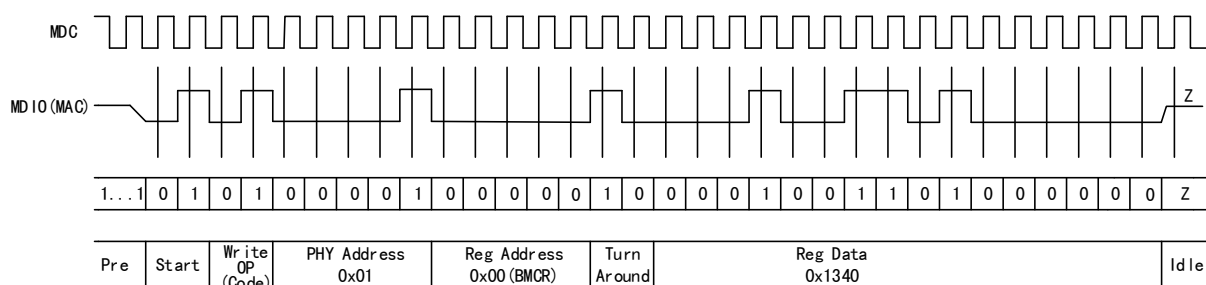


图 6-2 写周期图



6.2 中断

当检测到有相应状态变化时，PHY 将会把中断引脚 INTB 输出低电平，产生中断事件。MAC 接收到状态变化，通过 MDC/MDIO 接口访问页 0 寄存器 30 作为响应。

一旦 MAC 通过 MDC/MDIO 读取页 0 寄存器 30 后，中断引脚 INTB 就会结束低电平，并被上拉电阻拉到高电平。

注：1. RXD[2]/INTB 引脚仅在 RMII 模式下用于中断功能。

2. 默认情况下禁用中断功能，请参考页 7 寄存器 19 位 13~位 11 启用中断功能。

6.3 自动协商和并行检测

CH182 支持 IEEE 802.3u 协议，可兼容其他支持自动协商的以太网收发器 Transceiver。CH182 可以自动检测网络连接，并确定两个设备间可能的最高速度及双工配置。如果对端不支持自动协商，CH182 将启用半双工模式并进入并行检测模式。CH182 将默认发送快速链接脉冲 FLP 并等待对端响应，如果收到 FLP，自动协商过程将继续进行；如果收到正常链路脉冲 NLP 或收到一个 100Mbps 的 IDLE 信号，CH182 将通过并行检测协商至 10Mbps 半双工模式或 100Mbps 半双工模式。

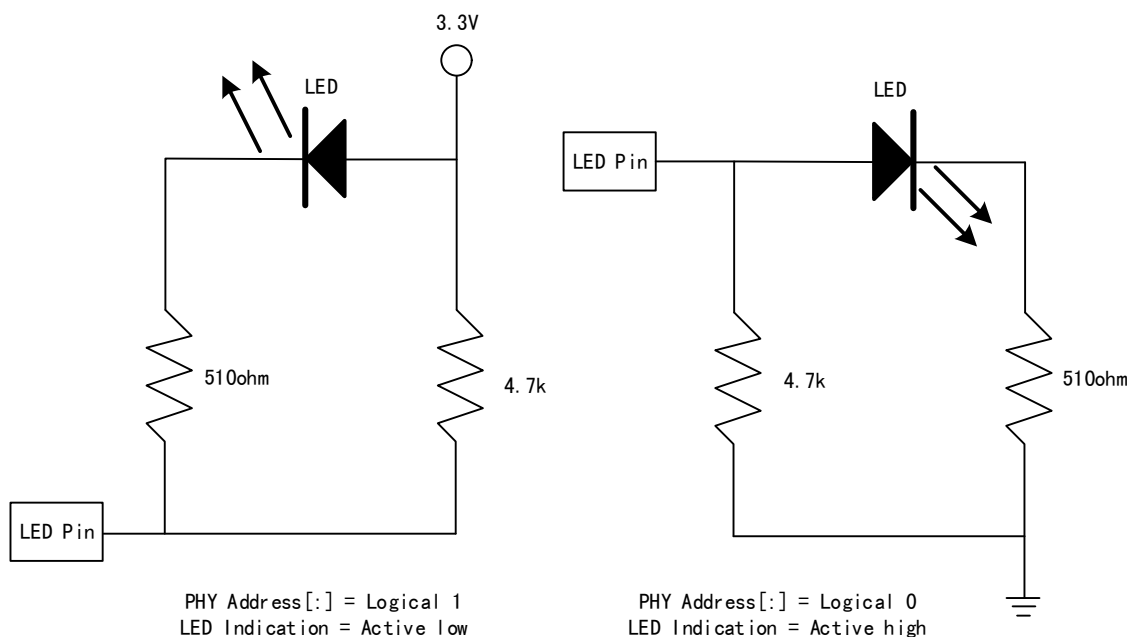
6.4 LED 功能

6.4.1 LED 和 PHY 地址

由于 PHY 地址配置与 LED 共用引脚，因此必须考虑 PHY 地址和 LED 使用的外部组合以避免冲突。具体来说，当使用 LED 引脚直接驱动 LED 时，其 PHY 地址取决于上电期间 PAD1/PAD0 引脚的输入电平，默认 PAD1 内部有下拉电阻、PAD0 内部有上拉电阻，对应的默认 PHY 地址为 00001。

如下图 6-3 所示，如果 PAD1 引脚外接上拉电阻，则 LED1 驱动输出为低电平有效（左侧图）；如果 PAD0 引脚外接下拉电阻，则 LED0 驱动输出为高电平有效（右侧图）。PHY 地址配置引脚不能直接接 GND 或者电源，必须通过一个 4.7kΩ 电阻（3.9kΩ~8.2kΩ）拉高或拉低。如果不需要 LED 指示，可以去掉 LED 及其限流电阻（330Ω~820Ω）。

图 6-3 LED 和 PHY 地址配置图



6.4.2 链路监控

链路监控器检测链路完整性，如 LINK₁₀、LINK₁₀₀、LINK₁₀/ACT 或者 LINK₁₀₀/ACT。每当链路状态建立时，指定的链路 LED 引脚被驱动为有效电平；一旦线缆断开，链路 LED 引脚被驱动为无效电平，指示没有网络连接。

6.4.3 LED 指示

在 10/100M 模式下，RX LED 闪烁指示正在接收数据。

在 10/100M 模式下，TX LED 闪烁指示正在发送数据。

在 10/100M 模式下，TX/RX LED 闪烁指示在发送或者接收数据。

在 10/100M 模式下，LINK/ACT LED 闪烁指示连接成功。当该 LED 长亮时，指示连接存在问题。

在 10/100M 模式下支持 LED 自定义功能，此功能可通过页 7 寄存器 19 位[3]启用或禁用。

6.5 掉电低功耗模式

表 6-3 低功耗模式设置

模式	描述
PWD	将寄存器 0 的位 11 设置为 1，使 PHY 进入掉电模式 PWD。 在 PWD 模式下，PHY 将关闭除 MDC/MDIO 管理接口外的所有模拟/数字功能。 在 PWD 模式下，MAC 通过 MDC/MDIO 唤醒 PHY，注意此时 PHY 不提供时钟。

6.6 10M/100M 发送和接收

6.6.1 100BASE-TX 发送和接收

100BASE-TX 发送：

需要发送的 4 位数据 TXD[3:0]经 4B/5B 编码后通过 25MHz 的 TXC 时钟信号传输，经并串变换后发送给线性驱动器输出。

100BASE-TX 接收：

接收的信号通过自适应均衡器补偿，经 ADC 模块和 DSP 模块处理后，送入串并转换模块，再经 5B/4B 译码后传递到 MII 或 RMII 接口。

6.6.2 10BASE-T 发送和接收

10BASE-T 发送:

需要发送的 4 位数据 TXD[3:0] 通过 2.5MHz 的 TXC 信号传输，经编码、送入 10M 波形发生器驱动线性驱动器模块输出。

10BASE-T 接收:

接收的信号通过 10M 接收机，数据恢复传递到 MII 或 RMII 接口。

6.7 自动极性校正

在 10BASE-T 模式下自动校正接收对的极性错误，100BASE-TX 模式下无需考虑极性。在 10BASE-T 模式下，通过检测有效间隔的链路脉冲校正极性错误。检测从 MDI 交叉检测阶段开始，并在 10BASE-T 链路连接时锁定。当链路断开时，极性状态就会被解锁。

6.8 网络唤醒 (WOL)

6.8.1 魔法包和唤醒帧格式

CH182 可以监控网络中的唤醒帧或魔法包，并在收到此类数据包或唤醒事件时通过电源管理事件引脚 PMEB (其中 B 表示低有效) 输出低电平以唤醒系统，然后 MAC 及系统可以恢复到正常状态，以处理后续的工作。PMEB 引脚需要通过一个 4.7kΩ 的电阻拉高至电源电压，默认为高电平。

仅当满足以下条件时，魔法包唤醒才会触发:

- 接收到的魔法包的目标地址是 CH182 可以识别的。例如，以设备 MAC 地址为目标地址;
- 收到的魔法包不含 CRC 错误;
- 魔法包模式匹配。例如，数据包任何部分中包含: 6*FFh+MISC (可选)+16* DID (目标 ID)。

只有满足以下条件时，才会发生唤醒帧事件:

- 接收到的唤醒帧的目标地址是 CH182 可以识别的，例如，以设备 MAC 地址为目标地址;
- 接收到的唤醒帧不包含 CRC 错误;
- 接收到的唤醒帧的 16 位 CRC 与本地唤醒帧 16 位 CRC 样本匹配，也可配置为允许直接分组唤醒。

6.8.2 低电平输出的网络唤醒

当 PHY 收到来自对端的唤醒帧或者魔法包时，PMEB 引脚输出低电平有效，MAC 或系统识别到低电平后唤醒。PMEB 引脚由系统或 MAC 设置以恢复高电平。

6.8.3 低电平脉冲输出的网络唤醒

当 PHY 收到来自对端的唤醒帧或者魔法包时，PMEB 引脚将在一段可选择的时间输出低电平，MAC 或系统在识别到低电平脉冲后唤醒。

6.8.4 网络唤醒引脚类型 (MII 模式)

名称	类型	正常			启用 WOL
		100M	10M	空闲	
TXC	O/PD	25MHz 输出	2.5MHz 输出	2.5MHz 输出	0 (2.5M/25M) /L/PD ¹
TXEN	I/PD	I	I	I	I/PD
TXD[3:0]	I/PD	I	I	I	I/PD
RXC	O/PD	25MHz 输出	2.5MHz 输出	2.5MHz 输出	0 (2.5M/25M) /L/PD ²

名称	类型	正常			启用 WOL
		100M	10M	空闲	
COL	0/PD	0	0	0	0/L/PD ³
CRS_DV	0/PD	0	0	0	0/L/PD ³
RXDV	0/PD	0	0	0	0/L/PD ³
RXD[0]	0/PD	0	0	0	0/L/PD ³
RXD[1]	0/PD	0	0	0	0/L/PD ³
RXD[2]	L I/O/PD	0	0	0	0/L/PD ³
RXD[3]	0/PD	0	0	0	0/L/PD ³
RXER	0/PD	0	0	0	0/L/PD ³
MDC	I/PU	I	I	I	I/PU
MDIO	I/O/PU	I/O	I/O	I/O	I/O/PU

注 1: 设置 *Isolate* = 1 (寄存器 0 位 10), 将暂停 TXC, 引脚类型为 L。

注 2: 设置 *Isolate* = 1 (寄存器 0 位 10), 将暂停 RXC, 引脚类型为 L。

注 3: 设置 *Isolate* = 1 (寄存器 0 位 10), 将暂停 RX 所有接口信号, 引脚类型为 L。

6.8.5 网络唤醒引脚类型 (RMII 模式)

名称	类型	正常			启用 WOL
		100M	10M	空闲	
TXC (REFCLK) ⁴	I/O/PD	50MHz 输入/输出	50MHz 输入/输出	50MHz 输入/输出	I/O (50M) ⁴
TXEN	I/PD	I	I	I	I/PD
TXD[0:1]	I/PD	I	I	I	I/PD
CRS_DV	0/PD	0	0	0	0/L/PD ³
RXD[0]	L I/O/PD	0	0	0	0/L/PD ³
RXD[1]	0/PD	0	0	0	0/L/PD ³
RXER	0/PD	0	0	0	0/L/PD ³
MDC	I/PU	I	I	I	I/PU
MDIO	I/O/PU	I/O	I/O	I/O	I/O/PU

注 4: 设置 *Isolate* = 1 (寄存器 0 位 10), 将暂停 TXC, 引脚类型为 L;

如果 TXC/REFCLK 处于输入模式 (MAC 到 PHY), 那么 REFCLK 不能在 WOL 启用时暂停;

如果 TXC/REFCLK 处于输出模式 (PHY 到 MAC), 那么 REFCLK 不建议暂停;

注 3: 设置 *Isolate* = 1 (寄存器 0 位 10), 将暂停 RX 所有接口信号, 引脚类型为 L。

7、电气特性

7.1 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

表 7-1 绝对最大值参数表

符号	参数	最小值	典型值	最大值	单位	
AVDD33	电源电压	-0.4	3.3	4.0	V	
AVDDK	内部模拟电源LDO退耦端的电压	-0.2		1.8	V	
DVDDK	内部数字电源LDO退耦端的电压	-0.2		1.8	V	
VDDIO	接口I/O引脚电源电压	-0.4		4.0	V	
V _{I0}	控制接口引脚上的电压（VIO电源）	-0.4		VIO+0.4	V	
V _{I0X}	以太网引脚上的电压（AVDD33电源）	-0.4		AVDD33+0.4	V	
T _s	储存温度范围	-65		150	°C	
T _J	结温度范围	-40		125	°C	
T _A	环境温度	CH182H	-40		85	°C
		CH181H	-10		70	

7.2 工作电压与直流特性

表 7-2 直流特性参数表（AVDD33=3.3V，VIO=3.3V，T_A=25°C）

符号	参数	条件	最小值	典型值	最大值	单位
AVDD33	电源电压	AVDD33 引脚	3.2	3.3	3.45	V
VDDIO	接口I/O引脚电源电压	VDDIO 引脚	2.3	3.3	3.5	V
V _{IL}	输入低电压		0	-	0.8	V
V _{IH}	输入高电压		2.0	-	VIO	V
I _{IL}	输入低漏电电流	输入电压0V	-5		5	uA
I _{IH}	输入高漏电电流	输入电压VIO	-5		5	uA
V _{OL}	输出低电压	IOL = 8mA	-	-	0.4	V
V _{OH}	输出高电压	IOH = -8mA	VIO-0.4	-	-	V
R _{pu}	内置上拉电阻的阻值		35	60	100	KΩ
R _{pd}	内置下拉电阻的阻值		35	60	100	KΩ
V _{LVR}	电源低压复位的电压门限		2.7	2.9	3.1	V

7.3 供电电流特性

表 7-3 电流消耗表（AVDD33=3.3V，VIO=3.3V，T_A=25°C）

符号	参数	条件 (所有电流, 含网络变压器)	典型值		单位
			MII模式	RMII模式	
I _{DD}	100BASE-TX	传输状态	60.0	60.4	mA
		空闲状态	61.2	61.4	
	10BASE-T	传输状态	28.8	34.2	mA
		空闲状态	25.8	28.1	
	Link Down	断开状态	38.5	38.4	mA
	Power Down	停机状态	0.2	0.2	

7.4 上电时序

图 7-1 上电时序图

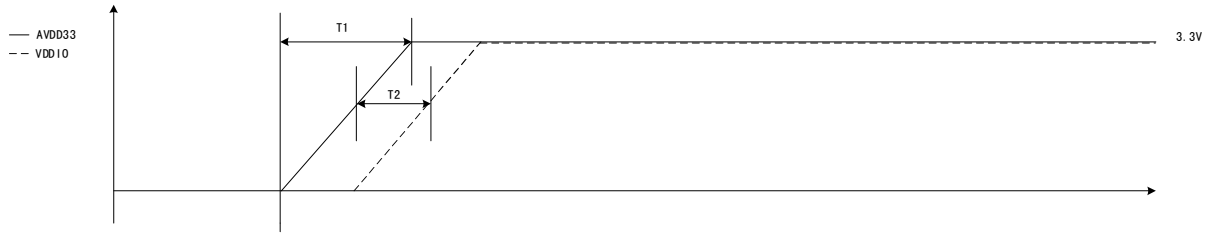
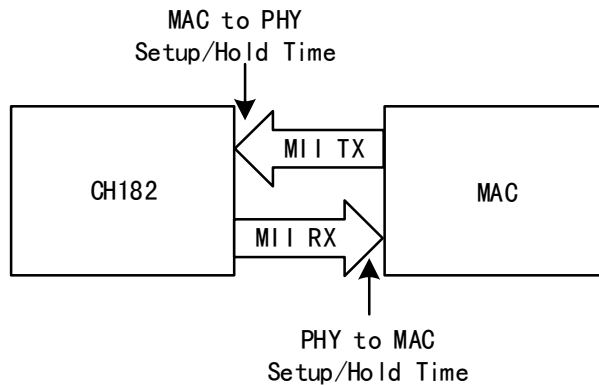


表 7-4 上电时序表

符号	参数	最小值	典型值	最大值	单位
T1	AVDD33上电时的电压上升时间	1		10000	us
T2	VDDIO供电相对AVDD33供电的延迟时间	0	0	1	ms
Tpor	PHY芯片的上电复位时间（此后PHY可访问）	15	17	20	ms
Trst	RSTB低电平脉冲后的复位时间（此后PHY可访问）	1		4	ms

7.5 MII 发送周期时序

图 7-2 MII 接口设置/保持时间示意图



MII 接口上 MAC 到 PHY 的数据包发送过程如下:

图 7-3 MII 发送周期时序图

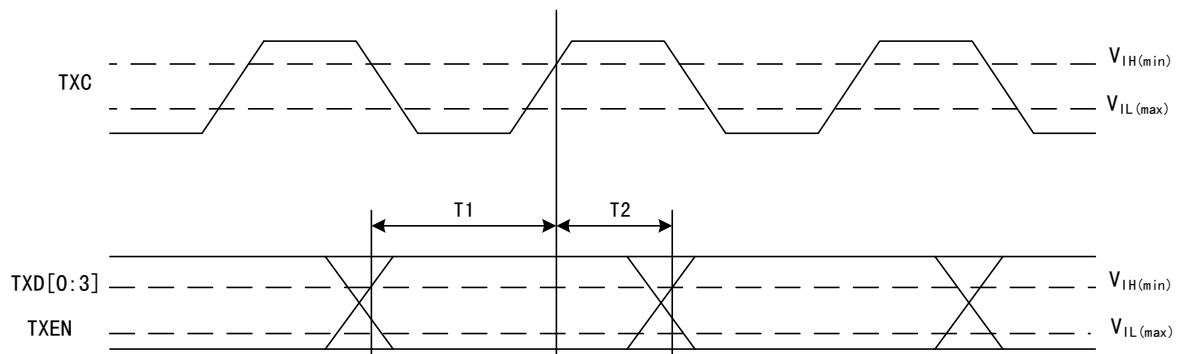


表 7-5 MII 传输周期时序表

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

T1	TXEN, TXD[0:3] 建立到TXC上升沿	100Mbps	7			ns
		10Mbps	5			ns
T2	TXEN, TXD[0:3] 在TXC上升沿后保持	100Mbps	0			ns
		10Mbps	0			ns

7.6 MII 接收周期时序

MI I 接口上 PHY 到 MAC 的数据包发送过程如下:

图 7-4 MII 接收周期时序图

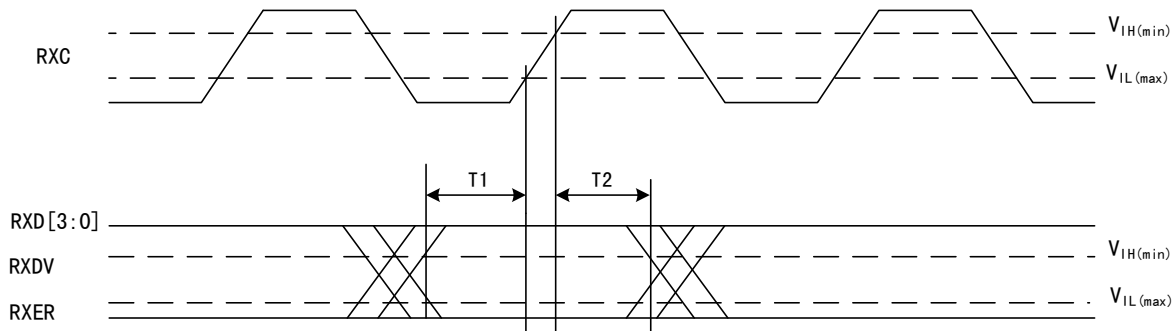


表 7-6 MII 接收周期时序表

符号	参数	条件	最小值	典型值	最大值	单位
T1	RXER、RXDV、RXD[0:3] 建立到RXC上升沿	100Mbps	5			ns
		10Mbps	5			ns
T2	RXER、RXDV、RXD[0:3] 在RXC上升沿后保持	100Mbps	10			ns
		10Mbps	10			ns

7.7 RMII 发送和接收周期时序

图 7-5 RMII 接口设置、保持时间和输出延迟时间示意图

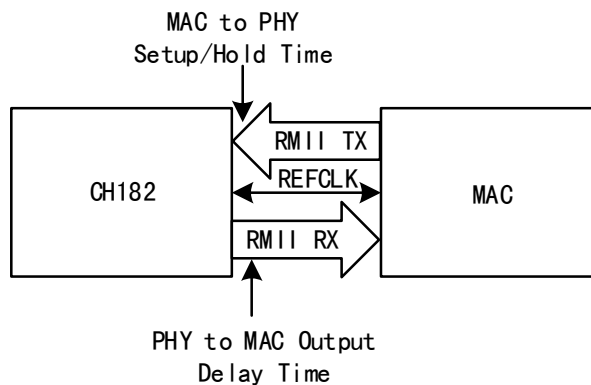


图 7-6 RMII 发送和接收周期时序图

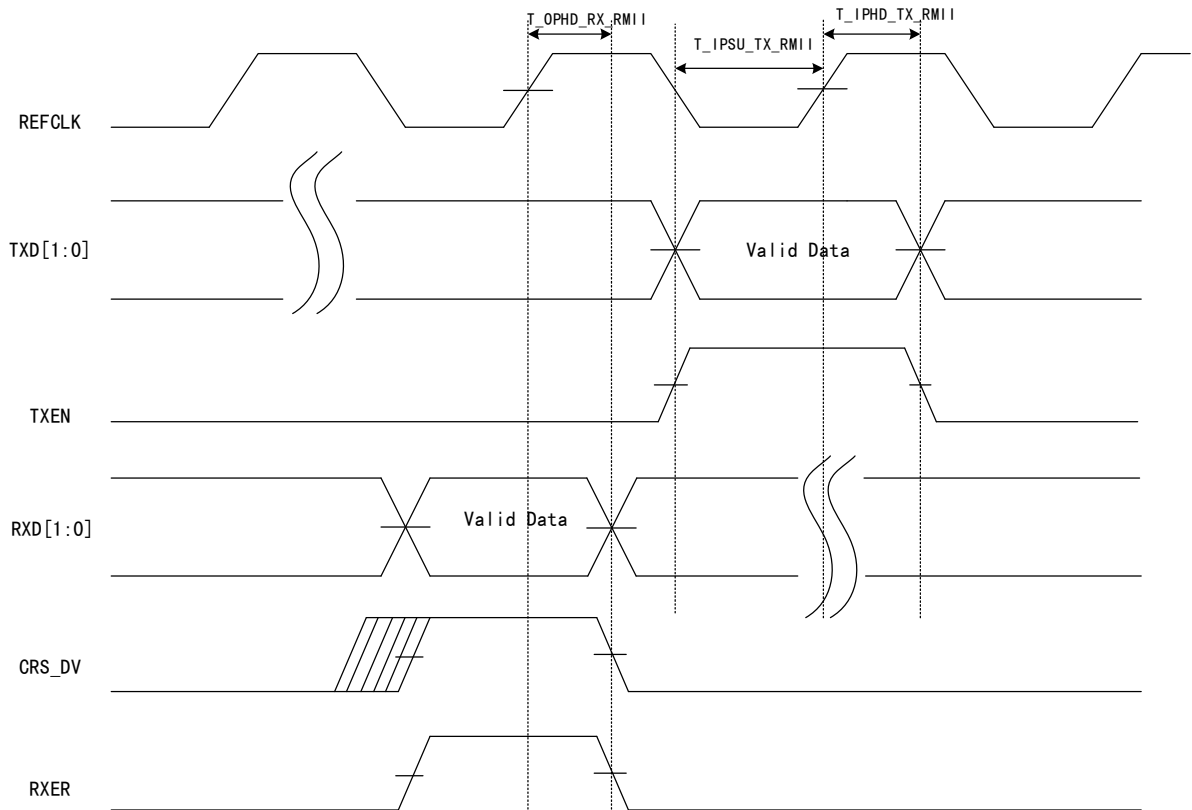


表 7-7 RMI I 传输和接收周期时序表

符号	参数	最小值	典型值	最大值	单位
REFCLK Frequency	参考时钟的频率		50		MHz
REFCLK Duty Cycle	参考时钟的占空比	40		60	%
T_IPSU_TX_RMII	TXD[1:0]/TXEN建立时间至REFCLK	5			ns
T_IPHD_TX_RMII	TXD[1:0]/TXEN从REFCLK的保持时间	2			ns
T_OPHD_RX_RMII	RXD[1:0]/CRS_DV/RXER从REFCLK输出的延迟时间	2			ns

注:1. RMI I TX 时序可通过页 7 寄存器 16 位 [11:8] 来调整, 可调分辨率约 1.5ns, 建议用默认值;
 2. RMI I RX 时序可通过页 7 寄存器 16 位 [7:4] 来调整, 可调分辨率约 1.5ns, 建议用默认值。

7.8 MDC/MDIO 时序

图 7-7 MDC/MDIO 接口设置、保持时间和来自 MDC 上升沿的有效时间示意图

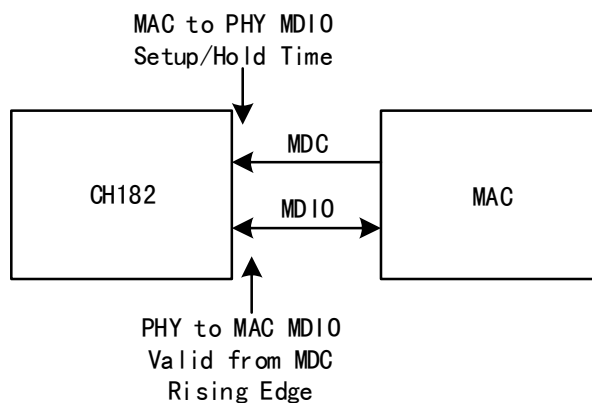


图 7-8 MDC/MDIO 时序

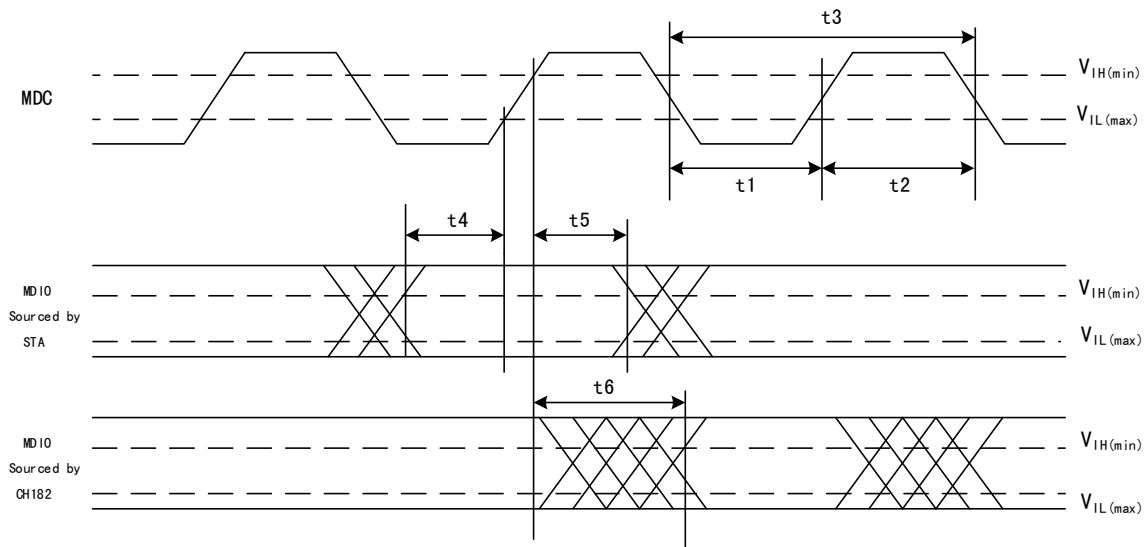


表 7-8 MDC/MDIO 时序表

符号	参数	最小值	典型值	最大值	单位
t1	MDC高脉冲宽度	100			ns
t2	MDC低脉冲宽度	100			ns
t3	MDC周期	200			ns
t4	MDIO建立到MDC上升沿	10			ns
t5	从MDC上升沿开始的MDIO保持时间	10			ns
t6	MDC上升沿的MDIO有效	0	180		ns

7.9 晶体振荡器/时钟特性

表 7-9 晶体振荡器/时钟特性表

符号	参数	条件	最小值	典型值	最大值	单位
TCKF	晶体频率	建议20ppm	24.9995	25	25.0005	MHz
TPWH	OSC脉冲宽度高	-	15	20	25	ns
TPWL	OSC脉冲宽度低	-	15	20	25	ns

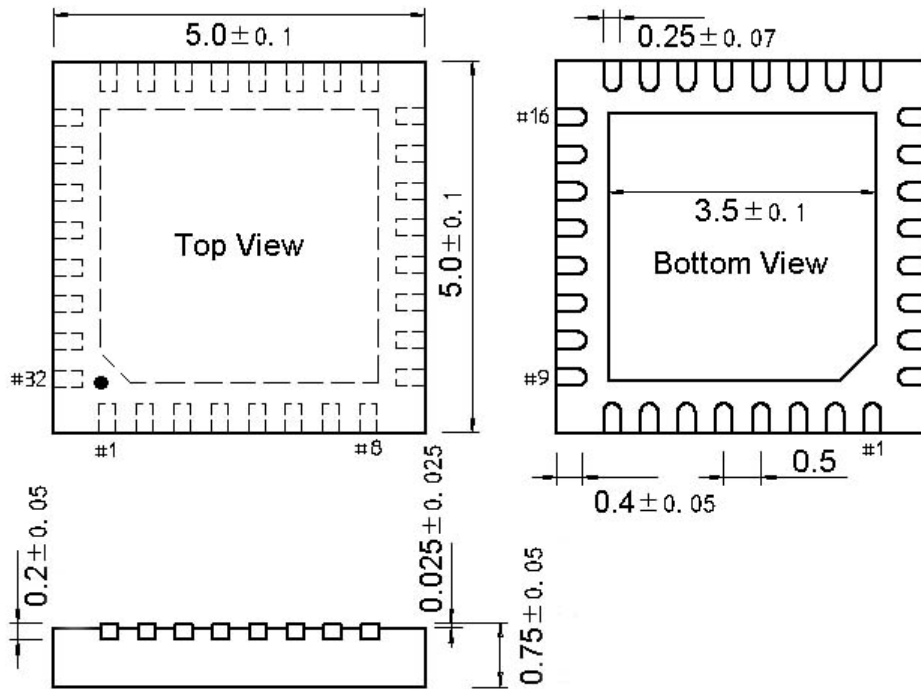
注：X1 和 X0 引脚已分别内置负载电容 12pF 的外部晶体所需的两个振荡电容，外部只需要晶体。如果另选负载电容 20pF 的外部晶体，那么 X1 和 X0 需要分别对地额外加 15pF 的振荡电容。当 X1 接 GND 后，可支持从 X0 引脚输入 25MHz 或者 50MHz 外部时钟。

8、封装

说明：尺寸标注的单位是 mm（毫米）。

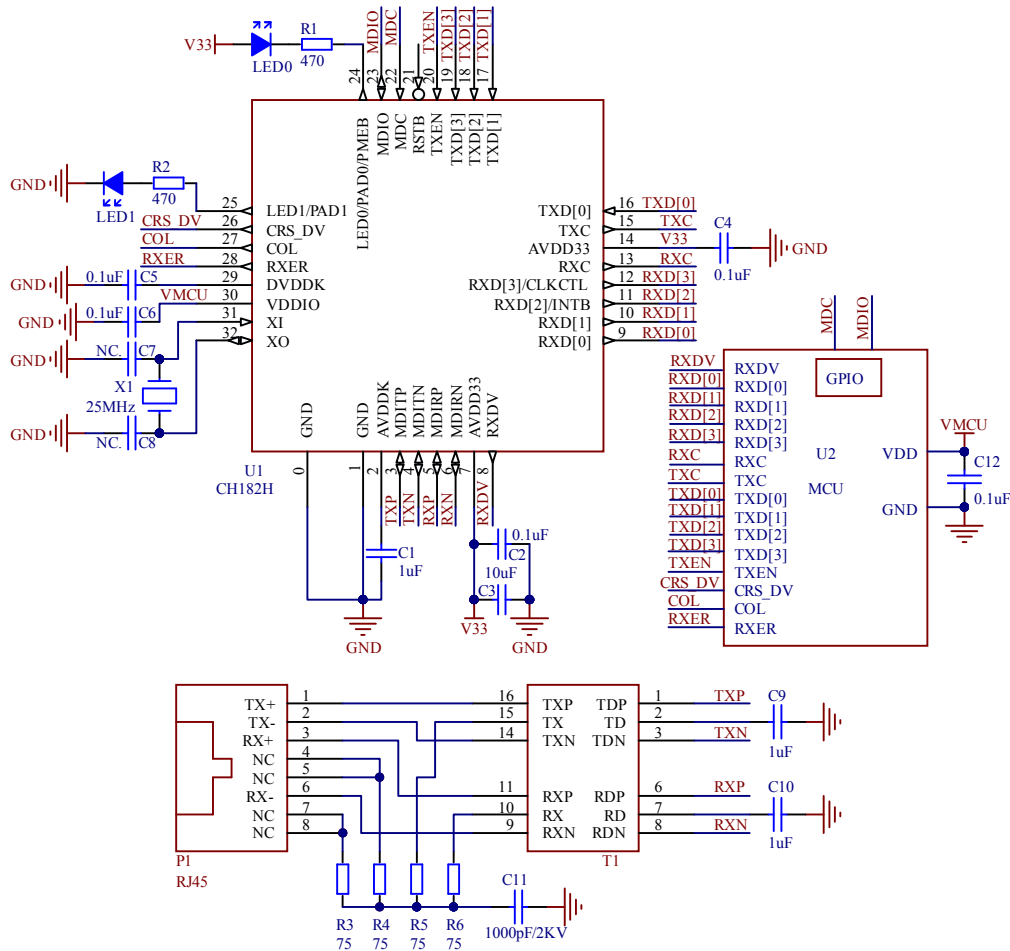
引脚中心间距是标称值，没有误差，除此之外的尺寸误差不大于 $\pm 0.2\text{m}$ 。

8.1 QFN32-5*5 封装



9、应用

9.1 MII 接口应用



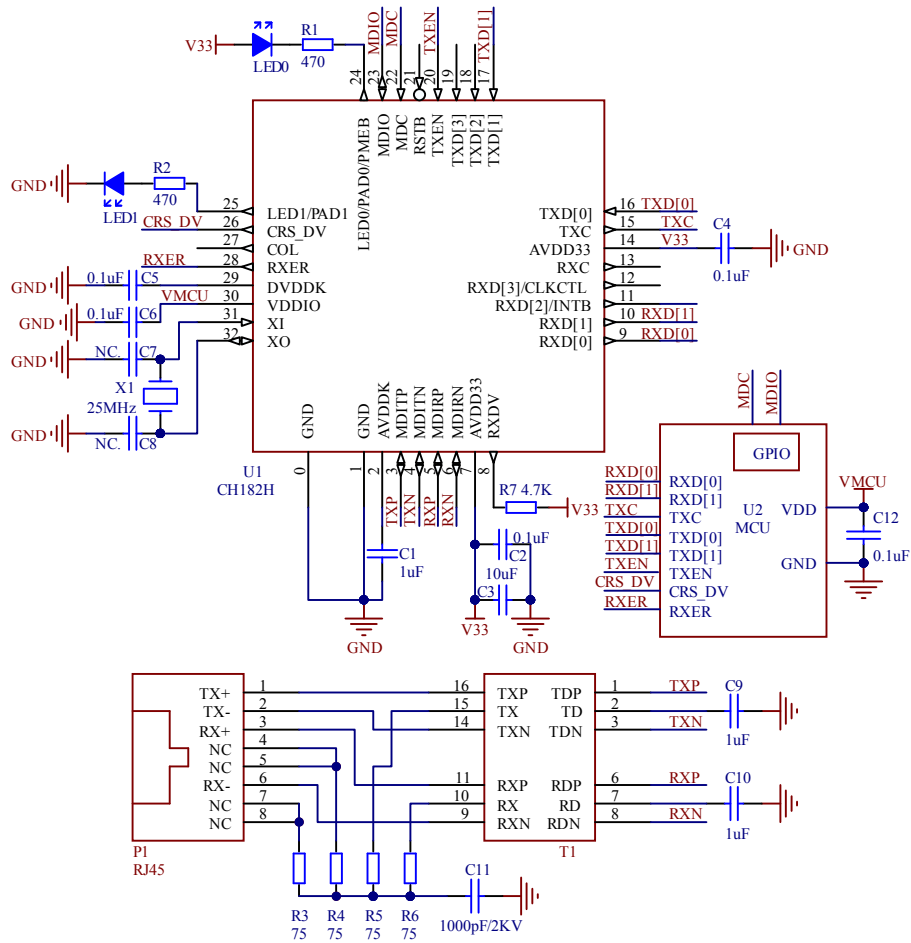
CH182 已内置了晶体 X1 的部分振荡电容，C7 和 C8 可以根据晶体参数调节。对于负载电容为 12pF 的 X1，无需 C7 和 C8；对于负载电容为 20pF 的 X1，C7 和 C8 建议各 15pF。

T1 是 ethernet 网络变压器，其中心抽头分别通过电容 C9/C10 接地，不要接任何电源。

CH182 已内置以太网 50Ω 阻抗匹配电阻，外部不要再接 49.9Ω 或 50Ω 电阻，等效于电压驱动。

CH182 支持免网络变压器、电容隔离的以太网应用。

9.2 RMII 接口应用



CH182 已内置了晶体 X1 的部分振荡电容，C7 和 C8 可以根据晶体参数调节。对于负载电容为 12pF 的 X1，无需 C7 和 C8；对于负载电容为 20pF 的 X1，C7 和 C8 建议各 15pF。

T1 是 ethernet 网络变压器，其中心抽头分别通过电容 C9/C10 接地，不要接任何电源。

CH182 已内置以太网 50Ω 阻抗匹配电阻，外部不要再接 49.9Ω 或 50Ω 电阻，等效于电压驱动。CH182 支持免网络变压器、电容隔离的以太网应用。